

走査型非線形誘電率顕微鏡 (SNDM) による半導体デバイスの評価

Characterization of Semiconductor Devices Using the Scanning Nonlinear Dielectric Microscopy

本 田 耕一郎^a, 長 康 雄^b

Koichiro Honda and Yasuo Cho

^a富士通研究所, 基盤技術研究所

^b東北大学電気通信研究所, 誘電ナノデバイス研究分野

要 旨 半導体デバイス中に蓄積された電荷を観察することはデバイスの動作原理や信頼性上の特性を理解する上で重要である。特にフラッシュメモリは注入電荷を利用してセルトランジスタの閾値電圧を変化させることでメモリ素子として動作させるため、電荷の蓄積位置を明らかにすることは重要である。したがって蓄積された電荷を直接観察する方法の開発が期待される。この電荷の可視化手段として、マイクロ波顕微鏡技術の一種である走査型非線形誘電率顕微鏡法 (Scanning Nonlinear Dielectric Microscopy: SNDM) はきわめて有効な手段である。私たちは SNDM により、どのように固定電荷の電子とホールを検出することができるかを説明する。また SNDM を応用して、Metal-SiO₂-SiN-SiO₂-Semiconductors (MONOS) 型メモリの蓄積電荷の存在位置、書き込み-消去を繰り返すいわゆるサイクリング後の電荷の分布に関して報告する。更に微細化デバイスに対応できる高分解能技術に関しても述べる。

キーワード：フラッシュメモリ, 固定電荷, プローブ顕微鏡, SNDM

1. はじめに

走査型非線形誘電率顕微鏡法 (Scanning Nonlinear Dielectric Microscopy: SNDM) を用いた半導体素子中の固定電荷の可視化に関する研究を紹介する。

SNDM はこれまで主に強誘電体の分極分布の観測に適用されてきた¹⁻⁵⁾。この方法による LiTaO₃ の分極分布、強誘電体 Pb_xZ_{1-x}T の分極壁の厚さ観察、ナノドメインを用いた強誘電体メモリの記憶再生への応用などが報告されている。また超高真空中での高分解能観察により、Si 清浄表面の 7×7 構造が検出可能な第 5 番目の顕微鏡として注目されている⁶⁾。

SNDM の半導体への応用に関して、私たちは不揮発性フラッシュメモリ中の電荷の可視化が可能であることを報告してきた⁷⁻¹⁰⁾。ここでは特に従来の Floating Gate (浮遊ゲート: FG) 型に替わって注目されている Metal-SiO₂-Si₃N₄-SiO₂-Si (MONOS) 型のメモリの電荷の蓄積位置、書き込み-消去を繰り返すいわゆるサイクリング後の電荷の分布に関して詳述する。

2. SNDM の原理

SNDM はマイクロ波顕微鏡技術の一種である。図 1 に

SNDM システムの概略図を示す¹⁾。微小領域での電荷分布を計測する場合、リング電極を電導性のカンチレバーに装着した原子間力顕微鏡 (AFM) を用いる。交替電場 $E \cos \omega_p t$ ($E = V/d$, V は電圧振幅, d はサンプル厚, ω_p は角周波数) が電極と試料の間に印加されるとき、SNDM プローブは針下の試料表面の非線形誘電応答から生じる容量 $C_s(t)$ 変化による LC 共振回路の共振周波数変化を、FM 信号として発信する。FM 復調器とロックイン増幅器で FM 信号を検出することによりキャパシタンス変化に比例した電圧信号が得られる。図 1 でリング電極とチップの間の距離はマイクロ波の波長よりはるかに短いので、電気回路の浮遊容量によるインピーダンス (Stray インピーダンス) が十分小さく、キャパシタンスの極微小変化が検出可能である。

非線形の誘電性の応答で引き起こされた容量変化は非常に小さく (後述の $\Delta C_s(t)/C_{s0}$ は $10^{-3} \sim 10^{-8}$ 程度), SNDM の感度はおよそ 10^{-22} F である。 10^{-22} という値は、通常の感度が 10^{-18} F である Scanning Capacitance Microscopy (SCM) の感度よりはるかに高い。これは上述のごとく FM 復調を用いることとマイクロ波回路の Stray インピーダンスを十分小さくすることによって達成されたものである。

さて

$$C_s = C_{s0} + (dC_s/dV)V + 1/2(d^2C_s/dV^2)V^2 + 1/6(d^3C_s/dV^3)V^3 + \text{higher order} \quad (1)$$

であるから、キャパシタンス変化 $\Delta C_s(t) = C_s(t) - C_{s0}$ は以下

¹ 〒 243-0124 神奈川県厚木市森の里若宮 10-1
TEL: 046-250-8394; FAX: 046-250-8235
E-mail: honda.koichiro@jp.fujitsu.com
2009年6月9日受付

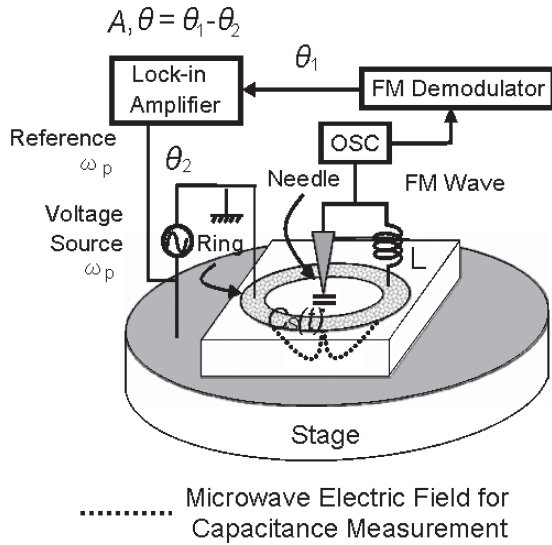


図1 SNDM システムの概略図

で与えられる；

$$\Delta C_s(t)/C_{s0} = (\epsilon_{333}/\epsilon_{33})E\cos\omega_p t + (\epsilon_{3333}/4\epsilon_{33})E^2\cos 2\omega_p t + (\epsilon_{33333}/24\epsilon_{33})E^3\cos 3\omega_p t + \text{higher order} \quad (2)$$

従って、 $dC_s/dV \sim \epsilon_{333}/\epsilon_{33}$ 、 $d^2C_s/dV^2 \sim \epsilon_{3333}/\epsilon_{33}$ となる。ここで ϵ_{33} は線形誘電率で、 ϵ_{333} は最低次の非線形誘電率である。 C_{s0} は静的なキャパシタンスで ϵ_{33} に比例している。この式から、ロックイン増幅器の参照周波数を $\omega_p, 2\omega_p, \dots$ とすることで SNDM シグナルの $\omega_p, 2\omega_p, \dots$ 成分を検出し、 $\epsilon_{333}, \epsilon_{3333}, \dots$ が得られることがわかる。

3. MONOS 型フラッシュメモリの固定電荷可視化

3.1 MONOS 型フラッシュメモリとは

フラッシュメモリでは、“0”と“1”の記憶状態はトランジスタの閾値電圧 (V_{th}) の高低によるトランジスタの“off”と“on”に対応する。この V_{th} の高低を引き起こすのがメモリセルのトランジスタに蓄積された電荷である。したがっ

てフラッシュメモリでは記憶は電荷で蓄積される。FG 型では電荷は FG に蓄積されるが、MONOS 型は FG を持たず、ゲートの $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ (ONO) 膜中に電荷を蓄積する。図 2 に示すように、MONOS トランジスタのゲート電極 (ワード線) 下の ONO 膜中のソースとドレインに隣接した二箇所、独立に電荷を蓄積することが出来るため、1 トランジスタで 2 ビット分の記憶保持が可能となる^{11,12)}。記憶の書き込みと消去は、ONO 膜中にチャネルホットエレクトロン (CHE) を注入して書き込みを行う。一方、消去は band-to-band (BTB) のトンネルによるホール注入により、先に書き込まれた電子を電気的に中和することで行う。

以上のようにフラッシュメモリは注入電荷を利用してメモリ素子として動作させるため、電荷の蓄積位置を明らかにすることは、デバイスの動作原理、記憶保持およびサイクリング劣化機構を理解するのに重要である。MONOS 型の場合、SNDM により ONO 膜の表面を走査して、蓄積された電荷に起因する分極の局所的な変化をキャパシタンス変化の分布として検出することで、電荷分布を求めることができる。

3.2 ONO 膜中の電子とホールの存在位置の観測

SNDM で ONO 膜中の電荷を観察するには ONO 膜上を AFM で直接走査するために ONO 膜表面を露出する必要がある。このため、ONO 中の電荷が消失しないように機械研磨で図 2 のメモリセルのワード線より上層を除去し、ONO 膜を露出する。またサンプル表面を浅い角度で斜研磨して、ONO 膜構成が表面に現れるように加工する。

図 3 は電子とホールのいずれかをセルのソース・ドレイン端のいずれかに注入して、もう一方には別の電荷を注入することにより、電子とホールが互い違いに存在する、いわゆるチェッカーボード (CB) パターンを書き込んだ試料の dC_s/dV (一次非線形誘電率シグナル) による SNDM 像である。SNDM 表示の条件として、外部電場が基板から印加されたとき容量が増加する場合 ($dC/dV > 0$)、SNDM 像がより白い (より明るい) コントラストを示すように設定してあるので、拡散領域は n 型で暗くなり、チャネル領域は p 型で、より明

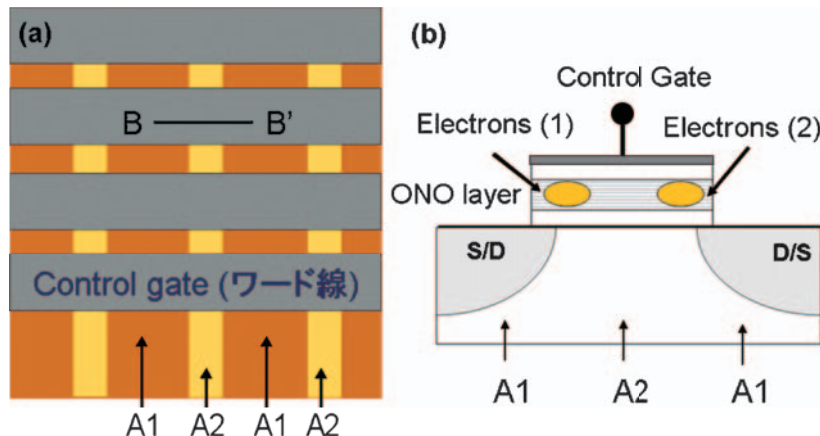


図2 (a), (b) MONOS 型 Flash メモリセルの概念図。(a) 平面図, (b) は B-B' の断面図。A1 は拡散領域 (ビット線), A2 はチャネル領域。ワード線とビット線は互いに垂直で、交差する箇所電荷を蓄積する。

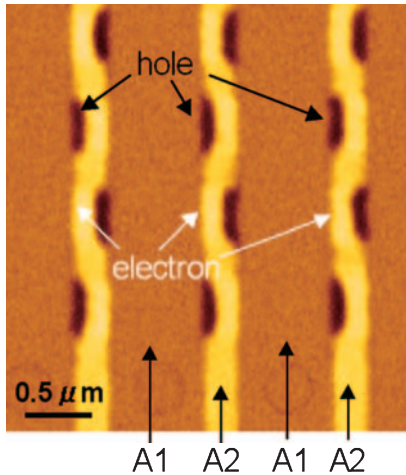


図3 電子およびホールをCBパターンになるよう注入した試料のSNDM像。

るいコントラストとなる。この図で拡散領域 (A1, n型) およびチャンネル領域 (A2, p型) が明確に区別できる。

電子注入された領域はチャンネル部分のソース・ドレインに隣接した明るいコントラストの部分である。一方、ホール注入領域はチャンネル部のソース・ドレインに隣接した明確な黒いコントラスト部分である。

これらの像は電子-ホール対の分布として解釈できる^{7,8)}。すなわちホールがゲートONO膜に存在するとき、MONOSトランジスタのドレイン部分からチャンネル部に電子が供給され、ホール-電子の対が形成される。電場が基板側から印加される時、この対の容量は減少する ($dC/dV < 0$)。したがって、この領域は暗くなる。一方、電子がONO膜に存在するとき、ホールがp型Si基板からチャンネル領域へ蓄積する。この場合電場が基板側から印加されると容量が増加し ($dC/dV > 0$)、この領域のコントラストは明るくなる。したがって、このSNDMシグナル表示条件のもとで、ONO膜にホールが存在するときそこは暗い領域となり、電子が存在するときには明るい領域となることがわかる。このようにSNDM像で、明るいコントラストは注入された電子を、暗いコントラストは注入されたホールの存在を示す。

3.3 サイクリング後の電荷分布

フラッシュメモリでは記憶を書き換える場合、上書きすることは出来ず、一旦すべてのメモリに“0”を書き込んだ後消去する必要がある。このように書き込みには必ず消去が伴うため書き込み-消去のサイクリング特性は信頼性上、非常に重要である。特にMONOS型の場合、書き込み-消去を電子注入とホール注入で行うため、注入された電荷が完全に再結合するかあるいは、単に電気的に中和するだけで蓄積し続けるのかを明らかにすることは重要である。

図4は 1×10^4 回の書き込み-消去のサイクリングの後に、チェッカーボードパターンを書き込んだ試料で、繰り返し注入された電荷の深さ分布を示すSNDM像である。断面模式図も同時に示してある。SNDMの測定領域は同時測定

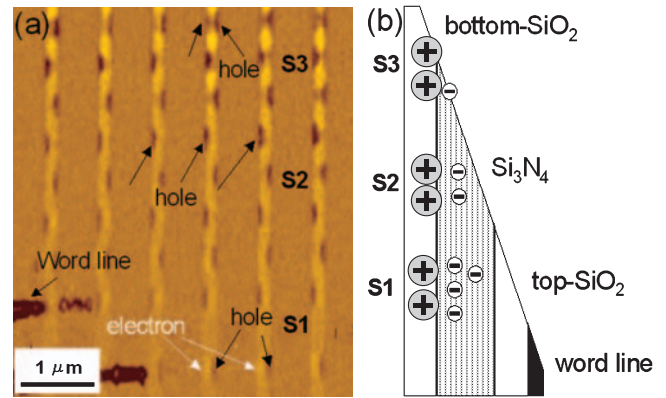


図4 (a), (b) 書き込み-消去を 10^4 回交互に繰り返した後、電荷を注入した場合のONO膜中の電荷 (ホールおよび電子) の深さ分布および断面模式図。

AFM像から確認できる。

図4(a)で、領域S1には近傍でワード線の名残が見られるのでONO膜が残存していると考えられる。領域S3ではBottom-SiO₂だけが残っている。領域S2ではSiN/Bottom-SiO₂ (NO)膜が残っている。ホールのコントラストは領域S1のONO膜全体が残った部分と、領域S2のNO膜部分に現れる。また領域S3にも同様に見られる。これはホールがONO中のSiN部分に存在するばかりでなく、Bottom-SiO₂膜にも存在することを示している。一方、図4(a)で電子のコントラストはONO膜が残存する領域S1には明瞭に確認できるが、NO膜の領域S2では消滅している。さらに、Bottom-SiO₂のみの領域(S3)では本来電子であるべき箇所にホールのコントラストが現れる。以上のように、電子は主にSiN膜中に、ホールは主としてBottom-SiO₂膜中に存在し、電気的に中和しているだけであることがわかる。

これらの結果は以下の通り説明することができる。書き込みの場合、電子はソースとドレイン間で加速されて高エネルギーのCHEとしてBottom-SiO₂膜の障壁を越えてSiN膜で捕獲される。電子はBottom-SiO₂膜には捕獲されない。一方、ホールはいわゆるBTBトンネル効果によりONO膜に注入される。ホールのエネルギーは広く分布するため、大部分は酸化膜を通り抜けるが、少量の電荷が酸化膜中に残る。したがって電子は主としてSiNに、ホールは主としてBottom-SiO₂側に蓄積することになる。S1ではONO膜が残存するためCBパターンで注入された過剰の電子のコントラストが得られるが、S2領域ではSiN膜が部分的に剥離され電子量が少なくなり電子とホールが電気的に中和されるため、電荷のコントラストが消滅し、S3では更にSiNが剥離されて電子よりもホールの電荷量が多くなるため、ホールのコントラストが現れたと考えられる⁸⁾。

以上のようにSNDMを用いて、MONOS型フラッシュメモリのONOゲート膜中の電子とホールの位置を特定することができた。電子はONO膜のSi₃N₄部分に存在し、ホールはBottom-SiO₂とSi₃N₄の両方に存在する。これは、注入さ

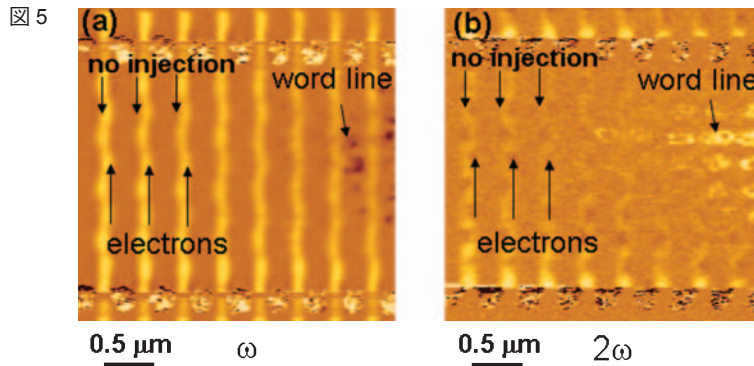
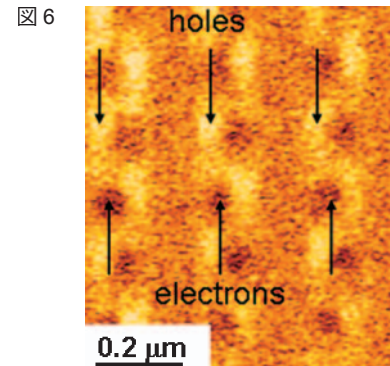


図5 (a), (b) チャンネル長 $0.08 \mu\text{m}$ デバイスの電子のみのチェッカーボードパターンのSNDM像。(a)は ω 像, (b)は 2ω 像
 図6 65 nm デバイスの高分解能SNDM像 (2ω 像)。



れた電子とホールは電氣的に中和しても、必ずしも全て再結合するわけではないことを示唆している^{7,8)}。

3.4 高分解能観察

素子が更に微細化するにつれて蓄積した電子を、視覚化することは困難になってくる。さらに微細なデバイスに対してSNDMが有効かというのは重要な課題である。SNDMの高分解能に関しては、カーボンナノチューブをカンチレバーの先端に装着してプローブとして用いた例があり、その有効性が報告されているが¹⁰⁾、ここでは他の方法を紹介する。

これまで dC/dV 成分、すなわち一次の非線形成分による結像例を紹介してきた。更に微細化したデバイスでの電荷の視覚化は高次のSNDMシグナルで結像する方法により可能である。これは(2)式において $\epsilon_{3333}/\epsilon_{33}$ を検知することである。すなわち、これまで説明した例では外部から印加された電界の周波数 ω_p に同期したシグナルにより結像していたが、ここではさらに2倍周期($2\omega_p$)のシグナルを検知し結像する方法を用いる。 $\epsilon_{3333}/\epsilon_{33}$ は外部から印加する電界強度の二乗項の係数であり、電界強度はより急速に減衰するため侵入領域が従来の周期に比べて短く、検知されるシグナルはより局在化した領域からのものになり分解能が向上することが期待される。更に高次の非線形誘電率を検知することで逐次的に分解能を向上させることが期待できる⁴⁾。

図5(a), (b)はチャンネル長 $0.08 \mu\text{m}$ デバイスに電子を交互に注入したチェッカーボードパターンの場合の従来のSNDM像(ω 像)と、 $2\omega_p$ のシグナルを出力したSNDM像(2ω 像)である。図5(a)の ω 像では、電子が存在する場合、電場が基板側から印加されると容量が増加し($dC/dV > 0$)、この領域のコントラストが明るくなる。従ってこの像で電子が注入されていることは明瞭であるが、電子の広がりや、無注入のチャンネル領域と拡散領域の区別が困難である。一方、図5(b)は ω 像と同一の箇所の 2ω 像である。電子の部分、拡散領域、無注入のチャンネル領域が非常に明瞭である。ここでは局在した電子のコントラストが ω 像とは反転していることがわかる。図6は65 nm世代のデバイスで電子とホールがCBパターンになるように注入された場合のSNDM像(2ω 像)である。チャンネル長が $0.08 \mu\text{m}$ のチャネ

ル中で電子とホールが明瞭に分離されている。このように高次のSNDMシグナルを検知することで蓄積電荷の高分解能評価が可能である。

以上に述べてきたようにSNDMを用いてフラッシュメモリ中の電荷の蓄積位置が明らかとなり、更に書き込み一消去サイクリングによる電荷の再分布などの情報が得られ、信頼性にかかわる評価手法を確立できた。SNDMではFG型の浮遊ゲート中の電荷の分布まで観察可能であり⁹⁾、デバイス解析に大きく寄与すると期待できる。

4. 結論

SNDMは空間電荷の可視化において有効な手段である。

謝辞

高分解能SNDM測定にご協力いただいたSIIナノテクノロジー、安武氏、広瀬氏に感謝いたします。

文献

- 1) Cho, Y., Kirihara, A. and Saeki, T.: *Rev.Sci.Instrum.*, **67**, 2297–2303 (1996)
- 2) Cho, Y., Kazuta, S. and Matsuura, K.: *Appl.Phys.Lett.*, **75**, 2833–2835 (1999)
- 3) Odagawa, H. and Cho, Y.: *Jpn. J. Appl.Phys.Part1*, **39**, 5719–5722, (2000)
- 4) Cho, Y. and Ohara, K.: *Appl. Phys. Lett.*, **79**, 3842–3844 (2001)
- 5) Cho, Y., Fujimoto, K., Hiranaga, Y., Wagatsuma, Y., Onoe, A., Terabe, K. and Kitamura, K.: *Appl. Phys. Lett.*, **81**, 4401–4403 (2002)
- 6) Hirose, R., Ohara, K. and Cho, Y.: *Nanotechnology*, **18**, S185–S188 (2007)
- 7) Honda, K. and Cho, Y.: *Appl. Phys. Lett.*, **86** 013501(3 pp) (2005)
- 8) Honda, K., Hashimoto, S. and Cho, Y.: *Appl. Phys. Lett.*, **86** 063515(3 pp) (2005)
- 9) Honda, K., Hashimoto, S. and Cho, Y.: *Nanotechnology*, **17**, 084014(5 pp) (2006)
- 10) Ishikawa, K., Honda, K. and Cho, Y.: *Nanotechnology*, **18**, 084015(6 pp) (2007)
- 11) Pavan, P., Bez, R., Olive, P. and Zanoni, E.: in *Proc. IEEE*, **85**, 1248–1271 (1997)
- 12) Eitan, B., Pavan, P., Bloom, I., Aloni, E., Frommer, A. and Finzi, D.: *IEEE Elec. Dev. Lett.*, **11**, 543–545 (2000)