

1 nm 高分解能走査型広がり抵抗顕微鏡 (SSRM) と LSI デバイス解析への応用

1-nm High Resolution Scanning Spreading Resistance Microscope and Its Application to LSI Devices

張 利

Li Zhang

^a (株) 東芝研究開発センター

要 旨 近年、微細化により LSI デバイスのサイズがナノスケールに突入し、プロセス制御の困難さが増し、高精度、高分解能、高次元分析技術への要求が高まっている。その中でも最も重要なテーマの一つは電荷キャリア濃度分布の 2 次元計測技術である。その代表的な計測技術として走査型広がり抵抗顕微鏡 (SSRM) が注目されている。SSRM は、導電性原子間力顕微鏡 (C-AFM) アプリケーションの一つであり、デバイス断面に導電性プローブを当てて内部抵抗を精査する手法で、短時間で電荷キャリアの分布を 2 次元的に解析できる。本稿では、SSRM 技術を用いたキャリア分布評価において、導電性プローブと試料間の接触抵抗低減による分解能向上や、断面試料作製プロセス、3 次元デバイスシミュレーションにより 1 nm 高分解能検証及び、45 nm 以降世代の実デバイス解析への応用例を紹介する。

キーワード：走査型広がり抵抗顕微鏡, SSRM, 2D キャリアプロファイリング, 真空, 高分解能

1. LSI の微細化が計測技術への要求

近年、CMOS トランジスタ (CMOSFET) などの LSI デバイスの微細化が急速に進むにつれ、LSI プロセスはナノテクノロジーの領域に突入し、プロセス制御の難しさから、高精度、高分解能、高次元の分析技術への要求が高まりつつある。国際半導体技術ロードマップ (ITRS) で要求されている不純物濃度分布計測 (2D/3D) の空間分解能は 2008 年で既に 2.5 nm であり、今後はさらに厳しくなる見通しである¹⁾。しかし、このようなナノデバイス開発現場からのニーズに、計測技術の開発は遅れていた。とりわけ、デバイス性能を左右する電荷キャリアのナノスケール 2 次元濃度分布を解析できる計測技術の開発が急務となっている。

ナノサイズ微細トランジスタの断面構造の例を図 1 に示す。pn 接合位置や不純物濃度分布の僅かなずれが、デバイスの特性ばらつきをもたらすことから、接合や不純物分布を高精度で計測することが高性能デバイスを開発する上で大変重要となる²⁾。

SIMS による一次元深さ方向キャリア濃度分布分析は接合及び不純物濃度解析に有効な手段であるが、デバイス断面における接合位置など 2 次元的な情報を得るためには走査型プローブ顕微鏡 (SPM: Scanning Probe Microscope) ファミリー

及び電子線ホログラフィー (Electron Holography) が用いられている。SPM ファミリーでは、走査型トンネル顕微鏡 (STM: Scanning Tunneling Microscope)、走査型広がり抵抗顕微鏡 (SSRM)、走査型容量顕微鏡 (SCM: Scanning Capacitance Microscope)、走査型ケルビンフォース顕微鏡 (KFM: Kelvin Force Microscope) などが挙げられる。

2 次元キャリア解析技術の要求されるスペックとして、主に以下の 3 点が挙げられる：高い空間分解能、広い不純物濃度測定レンジ (10^{15} – 10^{20} cm⁻³)、及び評価に要する時間の短さと手軽さである。STM や Electron Holography は高い空間分解能を示しているが、 10^{18} 乗以下の低い不純物濃度の検出は難しいとされている。評価可能なダイナミックレンジの広さと分析にあたって試料準備の簡便さが要求されることから、

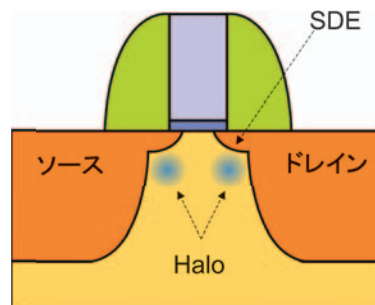


図 1 微細 CMOS 構造。ソース・ドレイン・エクステンション (SDE) 接合位置や、短チャンネル効果を抑えるための Halo 不純物分布の制御が重要性を増している。

^a 〒 212-8582 川崎市幸区小向東芝町 1
TEL: 044-549-2316; FAX: 044-520-1257
E-mail: li.zhang@toshiba.co.jp
2009 年 7 月 8 日受付

これらの目的にフィットできるのは SSRM^{3,4)} と SCM に絞られる。このうち、微細デバイスの評価するのに数ナノメートルの高空間分解能が要求される場合、SCM ではこのスペックを満たすことができない。一方、SSRM の場合、SSRM 信号がキャリア濃度にほぼ比例しているため、プローブと試料間にバイアス（電圧）を印加することにより得られる 2 次元電流分布像から、キャリア濃度の 2 次元分布が得られる。直接的にキャリア濃度の 2 次元分布を測定することができ、1 nm の空間分解能が報告されていることなどから^{4,5)}、極浅接合デバイスの 2 次元キャリア濃度評価に最も有力な測定法とされている。

2. 真空排気による分解能向上

SSRM は導電性原子間力顕微鏡 (C-AFM: Conductive Atomic Force Microscope) の応用の一つであり、導電性プローブと試料間にバイアス電圧を印加し、接触モードにおいてプローブを試料表面に走査することによってトポグラフィ像と同時に試料の局所的抵抗分布が得られる。SSRM の最も重要な応用は、シリコンデバイスの断面 2 次元電荷キャリア分布評価である。高空間分解能でのキャリア濃度評価に最も有力な手法と言われてきたが、2005 年までの約 10 年間、特製のプローブを用いなければ、分解能の高い鮮明な像は得られなかった⁶⁾。しかし、特製のプローブを用いた場合であっても、空間分解能は約 5 nm にとどまり、45 nm 世代以降の LSI デバイス解析には十分とは言えなかった。

そこで我々は導電性プローブと被測定試料間の電気的コンタクトに注目し、プローブと試料間の良好なコンタクトが高分解能像を得るための必須条件であることを突き止めた。そして、それまでの大気中での測定を改め、真空中において SSRM 測定を行うことによりプローブと試料間に介在する水蒸気やコンタミネーションなどの影響が抑え、ノイズや接触抵抗の低減に効果が大きいことを確認した。真空中測定概念図を図 2 に示す。図 3 には真空排気効果を示す⁴⁾。大気中ではノイズだらけで良好な測定ができないが、真空中では高分解能な像が高再現性に得られ、真空排気は SSRM 測定には極めて重要であることがわかった。さらにはプローブと試料間の接触圧力の最適化、測定回路全体の寄生抵抗低減など、計測に関わるプロセス全般を見直し、市販のプローブを用いて世界トップレベルの分解能の SSRM 像の取得に成功した (図 4)。図 4 に、極浅 pn 接合を持つトランジスタの SSRM

ダイヤモンド・コーティング・プローブ

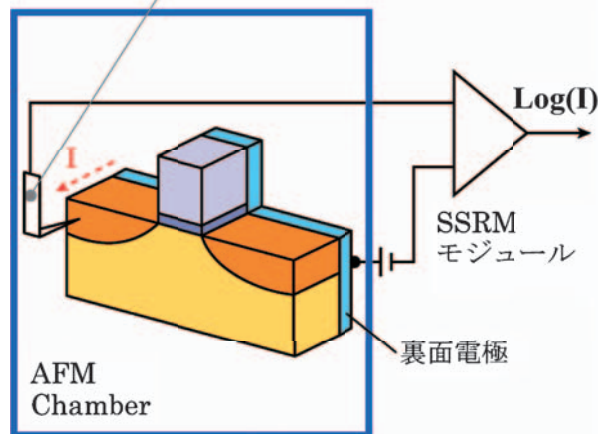


図 2 高真空中 SSRM 測定回路模式図。
真空度： $< 1 \times 10^{-5}$ Torr.

像を示す。図 4 では導電性の高いニッケルシリサイド (NiSi) 金属相ゲート領域、ポリシリコンゲート領域、ソース・ドレイン・エクステンション領域 (SDE) 及び短チャンネル効果を抑えるための Halo 不純物領域などすべての領域を高感度で識別できた。従来はほとんど検出できなかった Halo 不純物電荷キャリア分布を細やかな濃淡で観察できることや、異なるゲート長で接合深さの再現性が得られることなどから、高精度が確認された⁴⁾。

3. 断面試料作製及び測定条件

断面 2 次元 SSRM 測定には断面試料作製が必要である。基本的には SCM 同様、平坦な最終仕上げは必要であるが、測定面の酸化処理は必要としない。図 5 に、試料作製から測定、データ解析までの流れをフローチャートに示す⁷⁾。

測定にはプローブと試料間の良好なコンタクトや高空間分解能及び高再現性が要求されるため、硬く、鋭く、磨耗に強い導電性プローブが必要とされ、通常はこれらの条件をすべて満たすことができるダイヤモンドプローブが用いられる。カンチレバーのばね常数は 20–100 N/m で、プローブ・試料間の触圧は μN 以上が必要とされている。ダイヤモンドプローブはダイヤモンドコーティングシリコンプローブと、モールド法によるフルダイヤモンドプローブの使用が報告されている⁶⁾ が、現在市販されているのはダイヤモンドコーティングプローブのみである。プローブの導電性を確認する

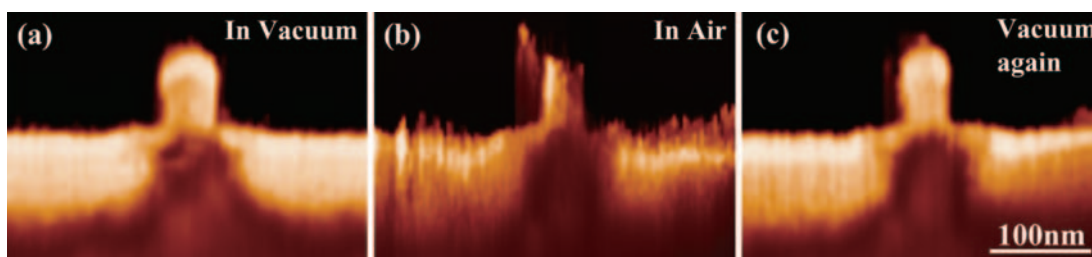


図 3 真空 (a) →大気中 (b) →再び真空中 (c) SSRM 像。明るい領域が高い導電性を示す。

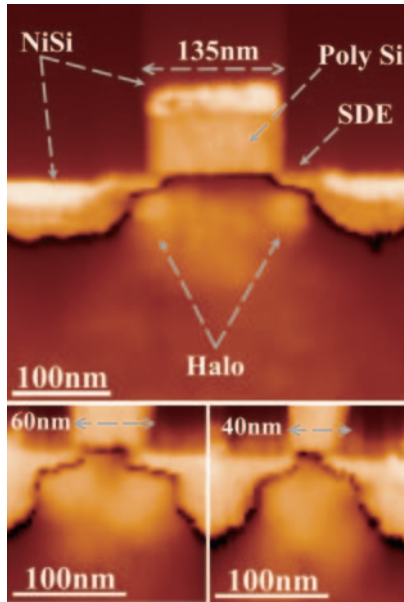


図4 極浅接合pMOSトランジスタにおけるSSRM像。

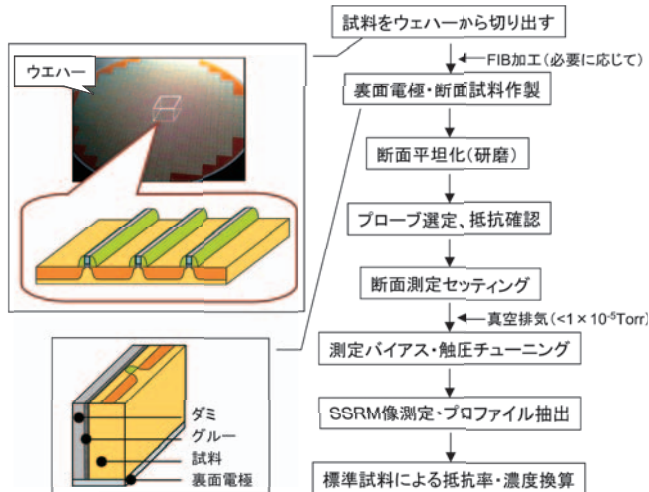


図5 SSRM測定フローチャート

ためには、PtまたはAu薄膜試料を用いた抵抗測定が有効である。市販のダイヤモンドプローブの抵抗値は数kΩである。また、広い不純物濃度レンジを測定するため、対数出力電流アンプが用いられる。

4. 3次元デバイスシミュレーションによる1nm高分解能検証

SSRM計測技術の空間分解能評価について、シリコン材料の内部において、pn接合の深さをどこまでの精度で評価できるかは極めて重要な指標となる。そこで、3次元デバイスシミュレーションを用いて、プローブ有効半径を変化させたときのSSRMによるpn接合深さを調べ、実測pn接合深さとの比較を行ない、実測プローブ有効半径を見積もった。図6(a)に、SDE接合における実測SSRM抵抗プロファイルを示し、SSRM像を挿入図に示す。図7に3Dシミュレー

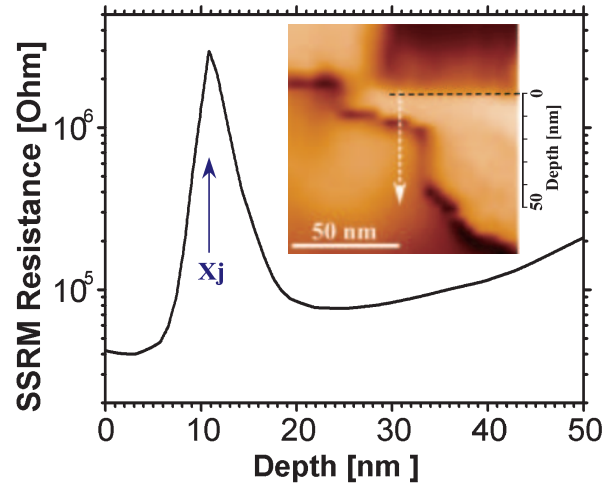


図6 SDE-Halo接合におけるSSRMプロファイル。接合深さXj=11nm。SSRM像は挿入図に示す。

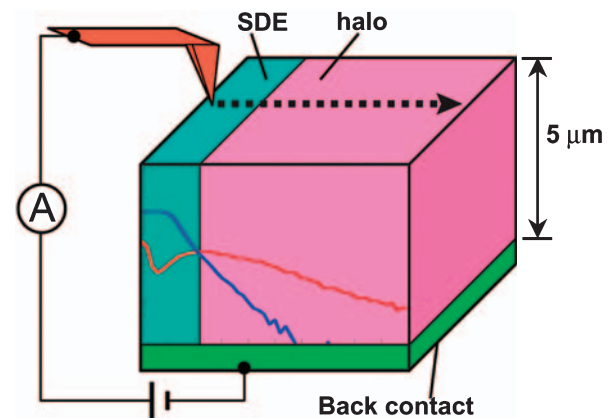


図7 3次元デバイスシミュレーションセットアップ。キャリアプロファイル計算には活性化したボロンと砒素のSIMSデータを用いた。

ションセットアップを示し、半径aであるプローブを用いてSDE-halo接合をスキャンし、プローブと試料間はオーミックコンタクトを想定する。シミュレーションパラメータは実測値と同様に設定し、プローブ-試料間に50mVを印加し、断面から裏面電極の距離は5μmとする。キャリアプロファイル計算には活性化したボロンと砒素のSIMSデータを用いた。シミュレーションにはtwo-carrier drift-diffusionモデルを用いた⁸⁾。a=0.5nmのシミュレーション結果を図8(a)に示す。ネット不純物分布、キャリア濃度分布及びSSRMによるキャリアプロファイルの結果がそれぞれ得られている。図8(a)から、キャリアプロファイルはネット不純物のシャープなプロファイルから乖離し、より幅広く分布していることがわかる。これは急峻な接合を取り扱う際、Debye長が無視できないことを示唆し、キャリア濃度分布が不純物分布に追従できないことを意味する。従って、キャリア濃度を直接計測する必要がある。一方、図8(a)ではSSRMによるキャリアプロファイルはキャリア分布とよく一致していることから、SSRM測定はキャリア分布計測に適しているこ

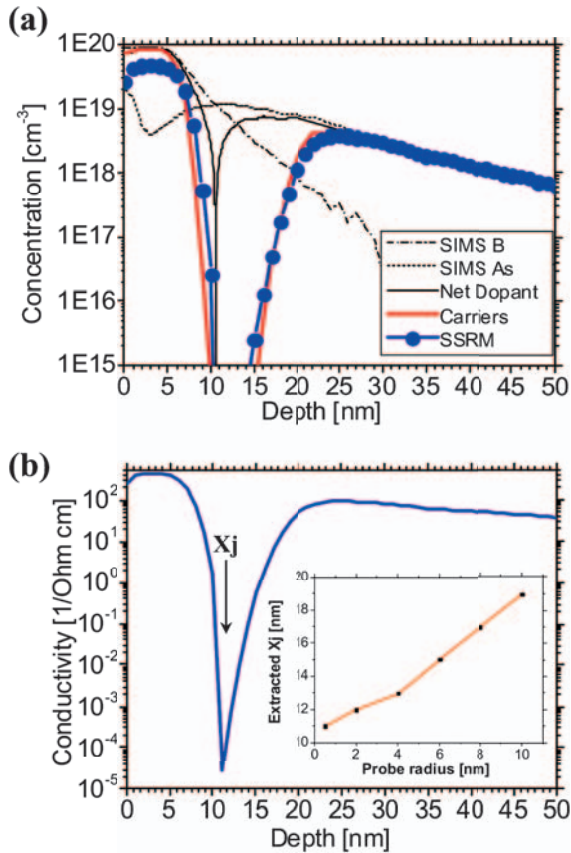


図8 3次元デバイスシミュレーション結果. (a) ネット不純物分布, キャリア濃度分布, SSRMによるキャリア分布を示す; (b) SSRM導電率プロファイル, X_j のプローブ半径依存性を挿入図に示す.

とがわかる. SDE接合の深さ X_j は図8(b)に示す導電率プロファイルの最小点から抽出され, $a=0.5\text{ nm}$ の場合には $X_j=11\text{ nm}$ となる. また, X_j のプローブ有効半径依存性を図8(b)の挿入図に示し, SSRM測定で得られている X_j はプローブの有効半径 a とほぼ比例することがわかり, a の増加に伴って X_j が深くなることから, 実測SSRMの有効半径は約 0.5 nm であることが確認され, 約 1 nm の高い空間分解能が示された.

5. 先端LSIプロセス開発への適用

45 nm世代以降のLSIでは, デバイスの漏れ電流増加がデバイス特性劣化の要因となり, その漏れ電流を抑制できるのはHalo不純物キャリア濃度分布の高精度な制御による. 図9(a)に正常動作デバイスと漏れ電流の増加による劣化したデバイス特性を示す. その正常特性と不良特性に対応するプロセスにより製作されたデバイスのSSRM像を図9(b), (c)に示し, プロファイル比較を図9(d)に示す. 正常プロセスに対して不良プロセスのHalo不純物抵抗値は1桁高くなっており, キャリア濃度は1桁以上低くなっていることがわかる. このキャリア濃度の差異がデバイス特性劣化へ影響していることを初めて実証した.

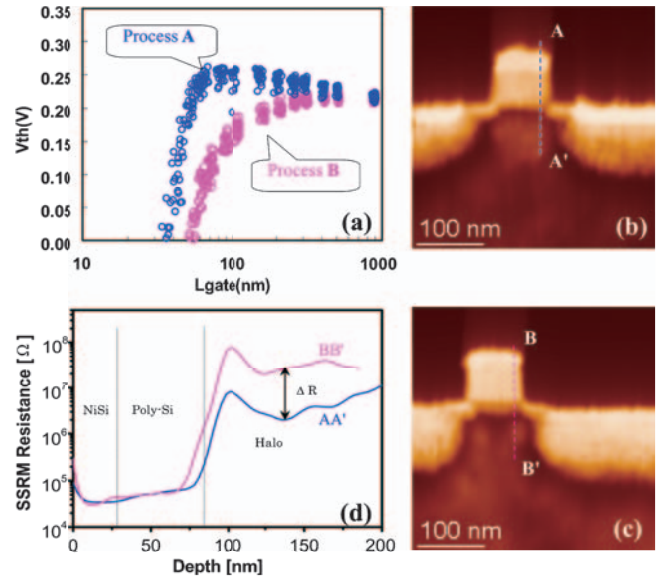


図9 プロセス条件出しへの応用例. (a) デバイス V_{th} -roll-off特性; (b) 良品SSRM像(プロセスA); (c) 不良品SSRM像(プロセスB); (d) プロファイル比較, Halo領域濃度の差異がデバイス特性の違いと一致.

6. おわりに

LSI技術の微細化と共に, 新しい構造, シリコン以外の新材料の探索も要求されはじめています. 微細な領域で何が起きて, どのようなメカニズムで働いているのかなど, 現象を目の当たりに観察できれば, プロセスや材料の本質への理解が進み, ブレークスルーに繋げることができる. また, SSRM計測技術は高感度2次元イメージング技術であると同時に, 抵抗における高精度ナノプロービング技術であり, 様々なナノデバイス計測に活用されると期待されている.

謝 辞

試料提供及び計算頂いた(株)東芝の安達甘奈氏, 谷本弘吉氏に, また有意義な議論を頂いた(株)東芝の竹野史郎氏, 古賀淳二氏, 西山彰氏に深謝致します.

文 献

- 1) The International Technology Roadmap for Semiconductors (ITRS), 2008 ed. [Online]. Available: <http://www.itrs.net>
- 2) Taur, Y.: *IBM J. RES. & DEV.*, 46, No. 2/3, 213-222 (2002)
- 3) De Wolf, P., Clarysse, T., Vandervorst, W., Hellemans, L., Niedemann, P. and Hanni, W.: *J. Vac. Sci. Technol. B*, 16, 355-361 (1998)
- 4) Zhang, L., Ohuchi, K., Adachi, K., Ishimaru, K., Takayanagi, M. and Nishiyama, A.: *Appl. Phys. Lett.*, 90, 192103 (2007)
- 5) Zhang, L., Tanimoto, H., Kanna, K. and Nishiyama, A.: *IEEE Electron Device Lett.*, 29, no. 7, 799-801 (2008)
- 6) Alvarez, D., Hartwich, J., Fouchier, M., Eyben, P. and Vandervorst, W.: *Appl. Phys. Lett.*, 82, 1724-1726 (2003)
- 7) LSI テスティング学会 (編), LSI テスティングハンドブック, オーム社, 東京, 422 (2008)
- 8) Masetti, G., Severi, M. and Solmi, S.: *IEEE Trans. Electron Devices*, ED-30, no. 7, 764-769 (1983)