

電子線ホログラフィーを用いた半導体内部ポテンシャル分布計測

Electron Holography Potential Analysis of Semiconductor Devices

五十嵐 信 行

Nobuyuki Ikarashi

名古屋大学 未来材料・システム研究所

要 旨 TEMを用いた電子線ホログラフィー (EH) により、半導体デバイス内部のポテンシャル分布を、ナノスケール分解能で可視化することが可能である。さらに、このEHポテンシャル分布観察は、TEMによる結晶欠陥分布評価と組みあわせる事により、デバイスのリーク特性の物理分析に応用可能である。また、ポテンシャル分布の電圧応答を計測することにより、デバイスの動作を直接的に評価する物理計測が可能になる。本稿では、このようなEHポテンシャル解析を応用した、微細デバイスの特性や動作の解析について紹介する。

キーワード：電子線ホログラフィー、静電ポテンシャル解析、オペランド解析、半導体デバイス、pn接合

1. はじめに

半導体デバイスの機能は、デバイス内部の電荷の動きによって実現され、電荷は、デバイス内部のポテンシャル分布に従って運動する。従って、デバイス内部のポテンシャル分布は、デバイスの動作・特性を決定する要因の一つである。例えば、Si金属酸化物半導体-電界効果型トランジスタ (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) では、ソース (電流の入り口) とドレイン (出口) をpn接合のポテンシャル障壁で隔てておき、この障壁の高さをゲート電圧で制御することにより、ソース/ドレイン (S/D) 間の電流を制御し、トランジスタのon-off動作を実現する¹⁾。

一方、TEMを用いて行う電子線ホログラフィー (Electron holography, EH) によって、試料内部のポテンシャル分布を、ナノスケール分解能で可視化することが可能である。このため、TEM-EHは、半導体中の不純物分布評価等、デバイスの構造評価に応用可能であることが報告されている²⁻⁵⁾。

我々は、さらに、このポテンシャル分布解析法を、発展的に応用し、デバイスの動作や特性の直接的な計測・解析が可能であることをあきらかにした。例えば、EHポテンシャル解析と、TEM結晶欠陥解析とを組みあわせることにより、デバイスのリーク特性とプロセス欠陥の相関の直接的評価が可能である⁶⁾。また、MOSFETのゲートやドレインに、デバイス動作時と同様の電圧を印加した状態で、デバイス内部のポテンシャル分布の観察を行うことにより、デバイスの動作の直接的解析も可能である^{7,8)}。このような解析は、近年、

動作環境下解析 (オペランド解析) と呼ばれている。

本稿では、TEM-EHによる試料中の電位分布計測について簡単に述べた後、TEM-EHを応用した、微細MOSFETの接合リーク解析や、電位分布のオペランド解析について紹介する。

2. TEM-EHによるポテンシャル解析

試料を透過する電子波の位相分布は、試料のポテンシャル分布を直接的に反映する；試料内部のポテンシャル V と、試料を透過する電子波の位相変化 ϕ の間には、次の関係がある⁹⁾。

$$\phi(x,y) = C_E \cdot t \cdot V(x,y) \quad (1)$$

ここで、 C_E はTEMの加速電圧によって決まる定数であり、 t は試料の厚さである。ここでは、試料表面と平行にxy平面をとり、電子波の入射方向をz方向にとった。また、試料のポテンシャルはz方向で一定であるとした。例えば、半導体材料中のpn接合では、p領域とn領域の間に電位差 (接合電位) が発生する。この電位差によって、p領域を透過した電子波と、n領域を透過した電子波との間に位相差が発生する。このため、TEM-EHを用いて位相分布像を得ることにより、p領域とn領域の電位差を反映した電位分布像を得る事が出来る。

なお、本実験では、電位分布像の各点の電位をもとめる際に、 p^+ 領域とn領域の位相の計測値が、それぞれ、 -0.55 V と $+0.45\text{ V}$ (ポテンシャルシミュレーションの値) に対応するとし、(1)式にもとづいて、各点の位相計測値からポテンシャルを計算した。

3. 接合リーク解析

3.1 S/D形成プロセスと接合リーク

S/D領域の接合リークは、MOSFETの消費電力増大の原

〒464-8601 愛知県名古屋市千種区不老町
TEL: 052-789-3154
E-mail: ikarashi@imass.nagoya-u.ac.jp
2016年4月15日受付, 2016年7月27日受理

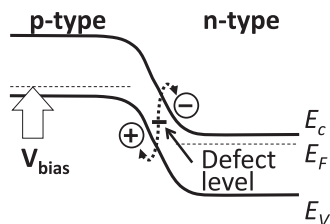


図1 半導体pn接合において、空間電荷層の欠陥準位を介して、リーク電流が流れる事を示すバンド構造の模式図。V_{bias}は接合に加えたバイアス電圧を示す。

因の一つである。接合リーク電流は、p領域とn領域の境界（空間電荷層）において、バンドギャップ中に電子準位（欠陥準位など）が形成された場合に、この準位を介して流れる漏れ電流である（図1）。

Si-MOSFETのS/D形成工程では、イオン注入（ion implantation, I/I）により、Si基板に不純物を打ち込み、その後、不純物の活性化のためのアニールを行う。デバイスを微細化するためには、このアニールの時間を短くする必要がある¹⁰。このため、微細デバイスでは、I/Iによって形成された結晶欠陥が十分に回復せず、デバイス領域に結晶欠陥が残留する可能性が高くなる。なお、I/Iによって形成された欠陥は、アニールによる回復過程で、ナノスケールの欠陥のクラスターを形成すること、また、この欠陥クラスターは、接合リーク電流を増加させる可能性があることが報告されている¹¹。

3.2 pn接合と欠陥分布の直接観察

MOSFETにおける接合リークと、S/D領域の結晶欠陥分布の相関に関して調査を行った結果を紹介する⁶。本実験では、I/I後のアニール条件のみが異なる2つのサンプルを比較した。これらのサンプルの接合リーク電流は大きく異なり、それぞれおよそ 10^{-7} A/ μ mと 10^{-11} A/ μ mである（以下それぞれサンプルA、Bと記す）。

本実験におけるポテンシャル分布の観察例と、ポテンシャル分布のシミュレーション結果を図2(a)、(b)に示す（サンプルA）。観察像（図2(a)）で、暗く表示した領域がp領域であり、明るく表示した領域がn領域である。

シミュレーション結果（図2(b)）では、ポテンシャル分布を色分けで示した。図2(a)、(b)の白い点線は、シミュレーションから得られた0V等ポテンシャル線であり、その位置や形状は、実測によるpn接合の境界をよく再現している（図2(a)）。この結果は、実測とシミュレーションの結果は、ともに実際のポテンシャル分布をよく反映していることを示している。

なお、本測定でのポテンシャルの測定精度は、シミュレーションとの比較及びノイズの影響から見積もって、0.1Vよりも良いが⁵、電位分布像のポテンシャル線の位置に関しては、測定ノイズに起因する局所的な位相揺らぎも考慮して測定結果を解釈する必要がある。即ち、急峻な接合では、ポテンシャルが、接合近傍の狭い領域で大きく変化するため、等ポテンシャル線の位置は、ノイズの影響を受けにくい、緩

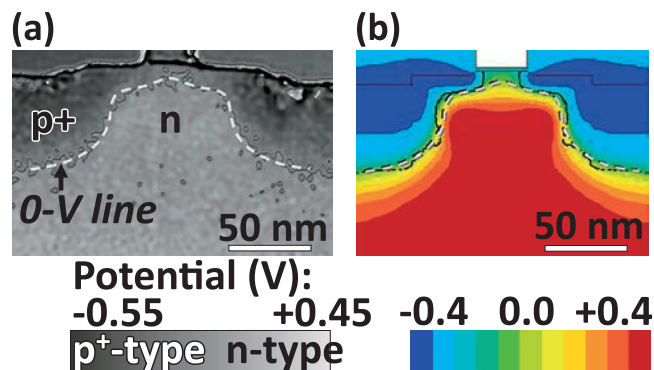


図2 MOSFET断面のポテンシャル分布。(a) TEM-EH、(b) シミュレーション。点線はシミュレーションに基づく0Vの等ポテンシャル線。点線は、図(a)のp領域とn領域の境界（空間電荷層）を再現している。

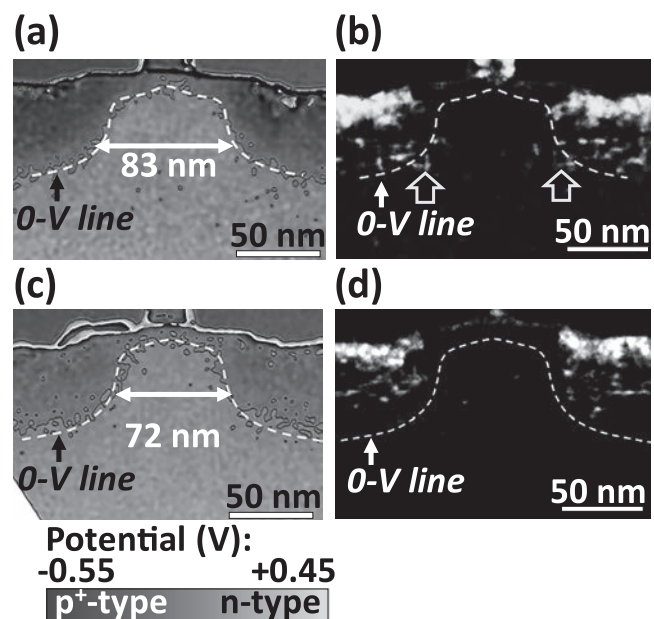


図3 サンプルAの(a) TEM-EHポテンシャルマップ、(b) TEM暗視野像。サンプルBの(c) TEM-EHポテンシャルマップ、(d) 暗視野像。各図の白い点線はシミュレーションに基づく0Vの等ポテンシャル線。(b)、(d)の明るい輝点は微細な結晶欠陥の観察像。(b)では等ポテンシャル線の位置に欠陥が観察されるが（図中矢印）、(d)では観察されない。

やかな接合では、等ポテンシャル線の位置は、ノイズの影響を受けやすく、揺らぎがちになる傾向がある。

サンプルA、BのEHポテンシャル分布像とTEM暗視野像を図3に示す。ポテンシャル分布像（図3(a)、(c)）においては、p領域とn領域のポテンシャル分布を明暗で表示した。白い点線は、シミュレーションから得られた0V等ポテンシャル線である。いずれのポテンシャルマップにおいても、シミュレーションから得られた0V等ポテンシャル線は、p領域とn領域の境界、即ち、空間電荷層、と一致している。

図3(b)、(d)は、 $\bar{2}20$ 反射を用いたウィークビーム暗視野像であり（入射方位(110)）、基板中の結晶欠陥が、明るい点として観察されている。いずれのサンプルでもS/D領

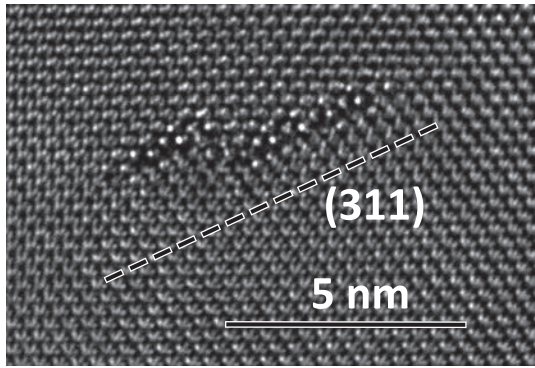


図4 結晶欠陥の格子像. (311)面に沿った結晶格子の乱れが観察される.

域内部には結晶欠陥が高い密度で観察されている. しかし, 0 V等ポテンシャル線の位置(空間電荷層)に注目すると, サンプル B(図3(d), リークの少ないサンプル)では, 欠陥は観察されないのに対し, サンプル A(図3(b), リークの多いサンプル)では, 空間電荷層の位置にも, 多くの結晶欠陥が観察されている(図3(b)矢印).

本実験のサンプルで観察される, 典型的な結晶欠陥の格子像観察例を図4に示す. (311)面に沿って延びる結晶格子の乱れが観察されており, これは, I/I アニール回復過程で形成される欠陥クラスターの典型的な形態である¹¹⁾. 従って, 以上の結果は, 本MOSFET構造においては, 空間電荷層領域に残留する欠陥クラスターの多寡と接合リーク電流量の大小とに相関があることを結論可能である.

4. Si-MOSFET ナノ・オペランド計測

4.1 MOSFET 動作状態でのポテンシャル分布解析

微細デバイスの分析・評価においては, オペランド・ポテンシャル分布計測は, 特に有効である. 例えば, チャネル長(S/D間距離)が短くなると, ドレイン電圧がチャネル領域

のポテンシャルに及ぼす影響が大きくなり, この影響により, デバイス特性が大きく変化する. しかし, 電圧印加状態でのドレインからソースに及ぶポテンシャル分布は複雑であり, これまで, そのようなポテンシャル分布を物理的に解析する手段は存在しなかった.

そこで, 我々は, ゲートやドレインに電圧を印加した状態で, デバイス内部のポテンシャル分布観察を行う観察技術を開発した^{7,8)}. この観察では, ピエゾ・ステージによって位置制御が可能な電圧印加用の探針を備えたTEMホルダーを用いる^{註1)}. 探針は, 化学的エッチングによって先端を尖らせたタングステンのワイヤである.

探針を, 薄片化したMOSFET試料のゲート電極に接触させた様子を図5(a)に示す. 本実験では, この状態で探針に電圧を印加し, TEM-EH観察を行った. Si基板は接地されている. ゲートに加える電圧を変化させたTEM-EH観察例を図5(b)-(d)に示す. ゲート電圧によって, ゲート直下の基板表面(チャネル)のポテンシャルが変化の様子が観察されている. 即ち, ゲート電圧が負の時(図5(d)), ゲートの左右のS/D領域と, ゲート直下のチャネル領域のポテンシャルが同一であり, S/D領域が, チャネルを介して連結されている(ゲートが開いている)ことが観察される. 一方, ゲート電圧が正の時には(図5(b)), チャネル領域のポテンシャルは, S/D領域のポテンシャルより高く, S/D領域が分断されている(ゲートが閉じている)事が観察される. 以上の結果は, 本観察技術によって, 微細デバイス中のポテンシャル分布の電界応答が観察可能であることを示している.

4.2 ドレイン電圧とチャネルポテンシャル

ドレイン電圧がチャネル領域のポテンシャルに与える影響の物理解析を目的として, Si-MOSFETのドレインに電圧を印加した状態でのポテンシャル分布解析を行った. 用いたサンプルは, 前節4.1で用いたサンプルと同一である.

チャネル近傍のポテンシャル分布の観察結果を図6(a)

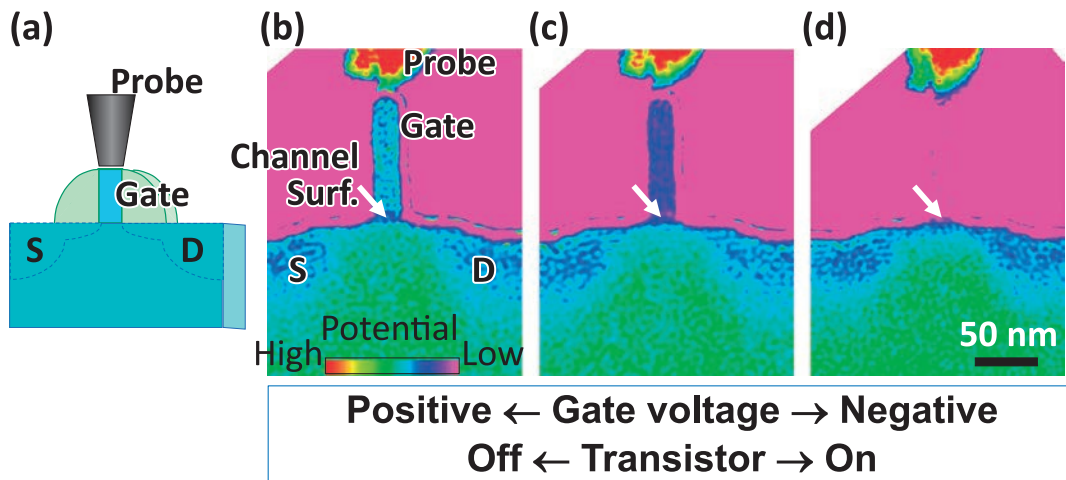


図5 (a) MOSFET試料のゲート電極に, 探針が接触している様子を示す模式図. (b)-(d) ゲート電圧が正, ゼロ, 負の状態のEHポテンシャルマップ. ゲート電圧を変化させると, チャネル表面(矢印)のポテンシャルが変化し, そのポテンシャルは, (b)ではS/D領域よりも高く, (d)ではS/D領域と同程度である.

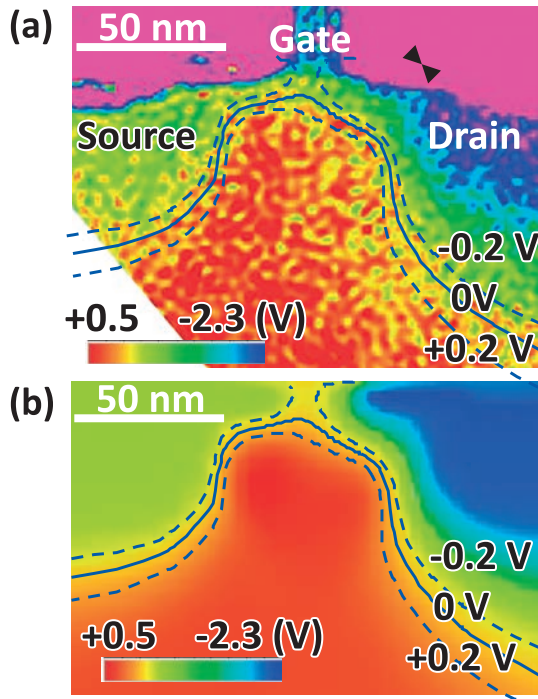


図6 ドレインに電圧を印加した状態のMOSFET断面のポテンシャル分布。(a)TEM-EH, (b)シミュレーション。実線と点線は、シミュレーションに基づく0V, ±0.2Vの等ポテンシャル線。

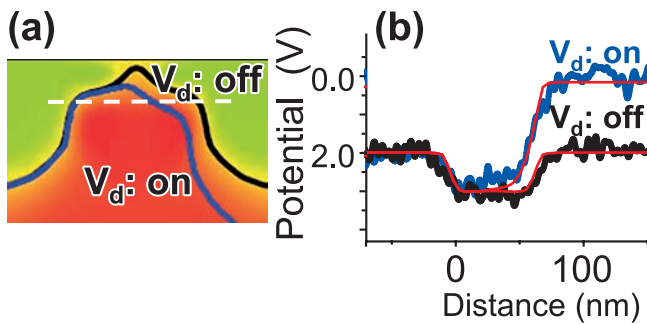


図7 (a) MOSFET断面のポテンシャル分布のシミュレーション結果。黒線はドレイン電圧offの状態の0V等ポテンシャル線。青線はドレイン電圧を印加した状態の等ポテンシャル線。水平方向の点線は、EHポテンシャルマップにおいて、ポテンシャル分布測定を行った位置を示す。(b)EHポテンシャルマップから得た、ポテンシャル分布の実測値(測定位置は図(a)の点線)。青、黒の実線はドレイン電圧onとoffの状態のポテンシャル分布。シミュレーション結果を赤線で重ねて示した。

に示す(ドレイン電圧 $V_d = -2V$)。ソースとドレインのポテンシャルが明瞭に異なっていることが観察される。また、シミュレーション結果(図6(b))は、TEM-EHによるポテンシャル分布観察結果をよく再現しており、実測・シミュレーション共に、実際のポテンシャル分布を反映していると考えられる。

ドレイン電圧によるチャネル領域のポテンシャル分布変化を定量的に評価するため、ドレイン電圧 V_d を印加した状態($V_d = -2V$)と、印加していない状態($V_d = 0V$)とのポテンシャル分布を比較した。図7(a)は、ドレイン電圧をか

けていない状態でのポテンシャル分布のシミュレーション結果であり、0V等ポテンシャル線を黒の実線で示した。比較のため、ドレイン電圧($V_d = -2V$)を印加した状態での0V等ポテンシャル線を、青の実線で描き加えた。図6(a)のEHポテンシャルマップから、ポテンシャル分布を計測した結果を図7(b)に示す。測定位置は図7(a)の点線の位置である。電圧印加によって、チャネル領域のポテンシャルが低下しており、その影響は、チャネル全体に及んでいることが観察される。また、図7(b)の実測結果に重ねて書いたシミュレーション結果(赤線)は、ホログラフイーによる実測の結果を再現しており、これらの測定・シミュレーションの妥当性を示している。以上の観測結果は、本測定方法によって、微細MOSFETのドレイン電圧が、チャネル領域のポテンシャルに及ぼす影響を2次的に、かつ定量的に計測可能であることを示している。

5. まとめ

TEM-EHナノスケールポテンシャル解析技術は、オペランド解析を含め、Si-MOSFETの特性や動作の直接的な物理評価に応用可能であることを述べた。さらに、本計測を応用することにより、MOS界面における電荷分布の電界応答の直接解析も可能であり¹²⁾、様々なFETの解析にも応用可能である。今後、半導体デバイス解析に限らず、様々な材料の物性計測手法として応用していく予定である。

注

注1) 電圧印加探針の機械的・電気的制御はNanofactory Instruments社製システムを用いた。

文 献

- 1) Sze, S.M.: Physics of Semiconductors, 2nd ed., Wiley, New York (1981)
- 2) McCartney, M.R., Smith, D.J., Hull, R., Bean, J.C., Voelkl, E. and Frost, B.: *Appl. Phys. Lett.*, **65**, 2603 (1994)
- 3) Rau, W.D., Schwander, P., Baumann, F.H., Hoppner, W. and Ourmazd, A.: *Phys. Rev. Lett.*, **82**, 2614 (1999)
- 4) Gribelyuk, M.A., McCartney, M.R., Li, J., Murthy, C.S., Ronsheim, P., Doris, B., McMurray, J.S., Hegde, S. and Smith, D.J.: *Phys. Rev. Lett.*, **89**, 025502 (2002)
- 5) Ikarashi, N., Toda, A., Uejima, K., Yako, K., Yamamoto, T. and Hane, M.: *J. Vac. Sci. Technol. B*, **28**, C1D5 (2010)
- 6) Ikarashi, N., Yako, K., Uejima, K., Yamamoto, T., Ikezawa, T. and Hane, M.: Symposium on VLSI Technology 2009, 202 (2009)
- 7) Ikarashi, N., Takeda, H., Yako, K. and Hane, M.: IEDM tech digest 2011, 6-21-62-4 (2011)
- 8) Ikarashi, N., Takeda, H., Yako, K. and Hane, M.: *Appl. Phys. Lett.*, **100**, 143508 (2012)
- 9) Reimer, L.: Transmission Electron Microscopy. 3rd ed., Springer-Verlag, Berlin (1993)
- 10) Int. Technol. Roadmap for Semicon. 2013 edition, International Sematech (2013)
- 11) Jones, K.S., Prussin, S. and Weber, E.R.: *App Phys.*, **A45**, 1 (1988)
- 12) Ikarashi, N., Kaneko, K., Saitoh, M. and Takeda, H.: *Jpn. J. Appl. Phys.*, **53**, 031101 (2014)